

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0047

Applicant: Ha Ryong YOON

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: SUBSYSTEM FOR SETTING CLOCK SIGNAL TO HAVE DIFFERENT
FREQUENCY FOR DATA BUS FROM THAT FOR
COMMAND/ADDRESS BUS

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2003-0033156 filed May 24, 2003

Respectfully submitted,

Date: 12/15/03

By Johnny A. Kumar

Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0033156
Application Number

출원 년 월 일 : 2003년 05월 24일
Date of Application MAY 24, 2003

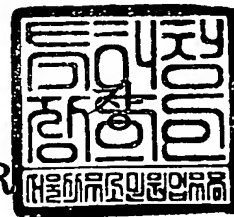
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0003
【제출일자】 2003.05.24
【국제특허분류】 H01L
【발명의 명칭】 명령 및 어드레스 버스에 사용되는 클럭 신호의 주파수와 데이터 버스에 대해 사용되는 클럭 신호의 주파수를 다르게 설정하는 서브 시스템
【발명의 영문명칭】 Sub-system using clock signals having different frequency for command/address bus and data bus
【출원인】
【명칭】 주식회사 하이닉스반도체
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 황의인
【대리인코드】 9-1998-000660-7
【포괄위임등록번호】 2003-017010-4
【대리인】
【성명】 이정훈
【대리인코드】 9-1998-000350-5
【포괄위임등록번호】 2003-017011-1
【발명자】
【성명의 국문표기】 윤하룡
【성명의 영문표기】 YOON, Ha Ryong
【주민등록번호】 711220-1063421
【우편번호】 449-845
【주소】 경기도 용인시 죽전2동 1003-248 이지뷰 2동 102호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
황의인 (인) 대리인
이정훈 (인)

【수수료】

【기본출원료】	18	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	7	항	333,000	원
【합계】	362,000		원	
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명에 따른 서브 시스템은, 복수개의 마스터 및 복수개의 슬레이브를 포함하고, 마스터는 해당하는 슬레이브에게 명령 및 어드레스를 요구하고, 해당하는 슬레이브는 마스터로부터 명령 및 어드레스를 요구받으면, 그에 해당되는 결과를 마스터로 리턴하는 통신이 이루어지는 서브 시스템에 있어서, 마스터가 해당하는 슬레이브에게 명령 및 어드레스를 요구할 때 데이터 버스와 다른 주파수의 클럭 신호를 사용하여 명령 및 어드레스를 해당하는 슬레이브로 전송하기 때문에, 데이터 버스 효율(data bus efficiency)의 손실이 거의 없이 명령 및 어드레스 버스에 대해 향상된 신호 무결성(signal integrity)을 확보할 수 있고, 명령 및 어드레스 버스와 관련된 회로 블록, 통신 방식 및 시스템 구성을 간략히 할 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

명령 및 어드레스 버스에 사용되는 클럭 신호의 주파수와 데이터 버스에 대해 사용되는 클럭 신호의 주파수를 다르게 설정하는 서브 시스템{Sub-system using clock signals having different frequency for command/address bus and data bus}

【도면의 간단한 설명】

도 1은 일반적인 메모리 서브 시스템을 나타낸 개념 블록도.

도 2a 및 도 2b는 도 1에 도시된 메모리 서브 시스템의 동작 타이밍도.

도 3은 본 발명에 따른 메모리 서브 시스템을 나타낸 개념 블록도.

도 4는 도 3에 도시된 메모리 제어부의 클럭 동기 회로를 나타낸 상세 블록도.

도 5a 및 도 5b는 도 3에 도시된 메모리 서브 시스템의 동작 타이밍도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 마스터와 슬레이브를 포함하는 서브 시스템에 관한 것으로, 보다 상세하게는 명령 및 어드레스 버스에 대한 클럭 신호의 주파수와 데이터 버스에 대한 클럭 신호의 주파수를 다르게 설정하여 명령 및 어드레스 관련 회로들을 단순화 시킬 수 있는 서브 시스템(memory sub-system)에 관한 것이다.

<7> 도 1은 일반적인 메모리 서브 시스템을 나타낸 개념 블록도이다.

- <8> 메모리 서브 시스템은, 메모리 제어부(master)(1)와, 복수개의 메모리 장치들(slave)(2)을 포함한다. 여기서는 메모리 장치(2)가 메모리 모듈(memory module)이나 메모리 디바이스(memory device)로 구성되는 경우를 예를 들어 설명하지만, 시스템 설계에 따라 리시버단(receiver), 연산장치(ALU) 등이 사용될 수 있다.
- <9> 메모리 제어부(1)는 복수개의 메모리 장치들(2)에게 명령 및 어드레스를 명령 버스(3) 및 어드레스 버스(4)를 통해 각각 전달하여 제어한다. 여기서, 메모리 제어부(1)는 칩 선택신호 CS에 의해 해당하는 메모리 장치(2)를 선택하여 활성화 시킨다.
- <10> 또한 메모리 제어부(1)는 데이터 버스(5)를 통해 입력된 데이터를 해당하는 메모리 장치(2)에 저장하고, 메모리 장치(2)에 저장된 데이터를 외부로 출력한다.
- <11> 이때, 모든 메모리 장치(2)의 동작은 클럭 신호 쌍 CLK, CLKb에 동기하여 수행되는데, 클럭 신호 쌍 CLK, CLKb는 클럭 버스(6)를 통해 메모리 제어부(1)로부터 각 메모리 장치(2)로 전송된다.
- <12> 도 2a 및 도 2b는 도 1에 도시된 메모리 서브 시스템의 동작 타이밍을 나타낸 도면이다. 여기서는 400MHz 클럭 신호 CLK를 사용하는 경우를 예를 들어 설명한다. 또한 클럭 신호 CLK의 라이징 에지(rising edge)에서만 명령 및 어드레스를 샘플링하는 경우를 예를 들어 설명한다.
- <13> 도 2a에 도시된 바와 같이 서브 시스템이 라이트 WR, 라이트 WR, 리드 RD, 라이트 WR, 라이트 WR 명령을 순차적으로 수행하는 경우의 데이터 버스의 사용 효율(data bus efficiency)은 74%이다.
- <14> 도 2b에 도시된 바와 같이 서브 시스템이 리드 RD, 리드 RD, 라이트 WR, 리드 RD, 리드 RD 명령을 순차적으로 수행하는 경우의 데이터 버스의 사용 효율은 87%이다.

<15> 그러나 고주파수에서 명령/어드레스 및 데이터를 샘플링하기 위해 메모리 장치 내부 또는 메모리 모듈 상에 PLL(Phase Locked Loop)이나 DLL(Delay Locked Loop) 회로가 사용되어야 하며, 샘플링을 위한 타이밍 윈도우(timing window)(셋업 시간(setup time) 및 홀딩 타임(holding time))가 줄어들어 신호 무결성(signal integrity)이 나빠지게 되어, 이를 해결하기 위한 회로 블록 및 시스템 보드 설계가 이루어져야 한다. 즉, 상대적으로 설계에 어려움이 생기는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 상기 문제점을 해결하기 위한 본 발명의 목적은, 명령 및 어드레스 관련 회로들과 데이터 관련 회로들의 동작 주파수를 다르게 설정하여 명령 및 어드레스 관련 회로들의 구성을 간결화 시키고, 명령 및 어드레스 셋업 및 홀드 시간을 확보하여 안정된 동작을 수행할 수 있는 서브 시스템을 제공하는 것이다.

【발명의 구성 및 작용】

<17> 상기 목적을 달성하기 위한 본 발명의 서브 시스템은, 복수개의 마스터 및 복수개의 슬레이브를 포함하고, 상기 마스터는 해당하는 슬레이브에게 명령 및 어드레스를 요구하고, 상기 해당하는 슬레이브는 마스터로부터 명령 및 어드레스를 요구받으면, 그에 해당되는 결과를 마스터로 리턴하는 통신이 이루어지는 서브 시스템에 있어서, 상기 마스터가 해당하는 슬레이브에게 명령 및 어드레스를 요구할 때 데이터 버스와 다른 주파수의 클럭 신호를 사용하여 명령 및 어드레스를 해당하는 슬레이브로 전송하는 것을 특징으로 한다.

<18> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

- <19> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.
- <20> 도 3은 본 발명에 따른 메모리 서브 시스템을 나타낸 개념 블록도이다.
- <21> 메모리 서브 시스템은, 메모리 제어부(master)(10)와, 복수개의 메모리 장치들(slave)(20)을 포함한다. 여기서는 메모리 장치(20)가 메모리 모듈(memory module)이나 메모리 디바이스(memory device)로 구성되는 경우를 예를 들어 설명하지만, 시스템 설계에 따라 리시버단(receiver), 연산장치(ALU) 등이 사용될 수 있다.
- <22> 메모리 제어부(10)는 복수개의 메모리 장치들(20)에게 명령 및 어드레스를 명령 버스(30) 및 어드레스 버스(40)를 통해 각각 전달하여 제어한다. 여기서, 메모리 제어부(10)는 칩 선택신호 CS에 의해 해당하는 메모리 장치(20)를 선택하여 활성화 시킨다.
- <23> 또한 메모리 제어부(10)는 데이터 버스(50)를 통해 입력된 데이터를 해당하는 메모리 장치(20)에 저장하고, 메모리 장치(20)에 저장된 데이터를 외부로 출력한다.
- <24> 이때, 명령 및 어드레스 관련 동작은 낮은 주파수를 갖는 클럭 신호 쌍 CCLK, CCLKb에 동기하여 수행되고, 데이터 관련 동작은 높은 주파수를 갖는 클럭 신호 쌍 DCLK, DCLKb에 동기하여 수행된다.
- <25> 메모리 제어부(10)는 명령 및 어드레스 관련 동작을 제어하는 낮은 주파수를 갖는 클럭 신호 쌍 CCLK, CCLKb과 데이터 관련 동작을 제어하는 높은 주파수를 갖는 클럭 신호 쌍 DCLK, DCLKb을 발생하는 클럭 동기 회로(11)를 포함한다.
- <26> 도 4는 도 3에 도시된 메모리 제어부(10)의 클럭 동기 회로(11)를 나타낸 상세 블록도이다. 클럭 동기 회로(11)는 위상 동기 루프(Phase Locked Loop; PLL) 또는 지연 동기 루프

(Delay Locked Loop; DLL)가 사용된다. 여기서는 위상 동기 루프를 사용하는 경우를 예를 들어 설명한다.

- <27> 클럭 동기 회로(11)는 위상 검출기(phase detector)(12), 전하 펌프(charge pump)(13), RC 루프 필터(RC loop filter)(14), 전압 제어 발진기(Voltage Controlled Oscillator; VCO)(15), 분주율이 다른 두 개의 분주기(divider)(16, 17), 및 두 개의 구동부(driver)(18, 19)를 포함한다.
- <28> 위상 검출기(12)는 시스템 클럭 신호 SCLK의 위상과 1/N 분주기(16)로부터 출력된 피드백 클럭 신호 FCLK의 위상을 비교한 값에 따라 제어신호 UP, DN를 출력한다.
- <29> 전하 펌프(13)는 제어신호 UP, DN에 따라 일정한 전압 VD을 만든다.
- <30> 루프 필터(14)는 저역 통과 필터(Low Pass Filter)로 구성되며, 전하 펌프(13)로부터 출력된 전압 VD을 필터링하여 고주파 성분을 제거하여 DC 제어 전압 VC을 출력한다.
- <31> 전압 제어 발진기(15)는 루프 필터(14)로부터 출력된 제어 전압 VC에 비례하는 주파수를 갖는 클럭 신호 ICLK를 출력한다.
- <32> 첫 번째 분주기(16)는 동기 시간을 줄이기 위해, 전압 제어 발진기(15)로부터 출력된 클럭 신호 ICLK의 주기를 일정 분주 비율(1/N)로 분주한다.
- <33> 두 번째 분주기(17)는 명령 및 어드레스 관련 동작을 데이터 관련 동작보다 낮은 주파수를 갖는 클럭 신호에 동기시키기 위해 전압 제어 발진기(15)로부터 출력된 클럭 신호 ICLK를 일정 분주 비율(1/M)로 분주한다. 여기서 분주 비율은 1/2를 사용하는 경우를 예를 들어 설명한다.

- <34> 첫 번째 구동부(18)는 전압 제어 발진기(15)로부터 출력된 클럭 신호 ICLK를 구동하여 데이터 관련 동작을 동기시키기 위한 클럭 신호 DCLK, DCLKb를 발생한다.
- <35> 두 번째 구동부(19)는 두 번째 분주기(17)로부터 출력된 클럭 신호를 구동하여 명령 및 어드레스 관련 동작을 동기시키기 위한 클럭 신호 CCLK, CCLKb를 발생한다.
- <36> 따라서, 클럭 동기 장치(11)는 입력된 시스템 클럭 신호 SCLK에 내부 클럭 신호들 DCLK, CCLK을 동기시키는데, 명령 및 어드레스 관련 동작이 동기되는 클럭 신호 CCLK는 데이터 관련 동작이 동기되는 클럭 신호 DCLK의 주파수가 두 번째 분주기(17)에 의해 1/2 분주된 클럭 신호가 사용된다.
- <37> 도 5a 및 도 5b는 도 3에 도시된 메모리 서브 시스템의 동작 타이밍을 나타낸 도면이다. 여기서는 명령 및 어드레스 버스에 대한 클럭 신호 CCLK의 주파수는 200MHz이고, 데이터 버스에 대한 클럭 신호 DCLK의 주파수는 400MHz인 경우를 예를 들어 설명한다. 또한 클럭 신호 CLK의 라이징 에지(rising edge)에서만 명령 및 어드레스를 샘플링하는 경우를 예를 들어 설명한다.
- <38> 도 5a에 도시된 바와 같이 서브 시스템이 라이트 WR, 라이트 WR, 리드 RD, 라이트 WR, 라이트 WR 명령을 순차적으로 수행하는 경우의 데이터 버스의 사용 효율(data bus efficiency)은 71%이다.
- <39> 도 5b에 도시된 바와 같이 서브 시스템이 리드 RD, 리드 RD, 라이트 WR, 리드 RD, 리드 RD 명령을 순차적으로 수행하는 경우의 데이터 버스의 사용 효율은 83%이다.

- <40> 사용되는 클럭 신호의 주파수가 낮아짐에 따라 명령 및 어드레스 버스에 의해 전송되는 신호들의 타이밍 윈도우가 확대되기 때문에, 명령 및 어드레스 버스를 통해 신호의 전달에 있어서 넓은 마진을 확보할 수 있다.
- <41> 따라서 클럭 신호 CLK의 스큐(skew)를 줄이기 위한 회로들(PLL, DLL, DCC(duty cycle corrector) 등)을 사용하지 않아도 안정적으로 동작할 수 있다. 즉 향상된 신호 무결성(signal integrity)을 얻을 수 있고, 회로를 단순하게 설계할 수 있다.

【발명의 효과】

- <42> 이상에서 살펴본 바와 같이, 본 발명에 따른 서브 시스템은 명령 및 어드레스 버스에 대해 사용하는 클럭 신호의 주파수를 데이터 버스에 대해 사용하는 클럭 신호의 주파수보다 낮게 설정하여 데이터 버스 효율(data bus efficiency)의 손실 없이 명령 및 어드레스 버스에 대해 향상된 신호 무결성(signal integrity)을 확보할 수 있고, 명령 및 어드레스 버스와 관련된 회로 블록, 통신 방식 및 시스템 구성을 간략히 할 수 있는 효과가 있다.
- <43> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

【특허청구범위】**【청구항 1】**

복수개의 마스터 및 복수개의 슬레이브를 포함하고,

상기 마스터는 해당하는 슬레이브에게 명령 및 어드레스를 요구하고, 상기 해당하는 슬레이브는 마스터로부터 명령 및 어드레스를 요구받으면, 그에 해당되는 결과를 마스터로 리턴하는 통신이 이루어지는 서브 시스템에 있어서,

상기 마스터가 해당하는 슬레이브에게 명령 및 어드레스를 요구할 때 데이터 버스에 사용되는 제1 클럭 신호의 주파수와 다른 주파수의 제2 클럭 신호를 사용하여 명령 및 어드레스를 해당하는 슬레이브로 전송하는 것을 특징으로 하는 서브 시스템.

【청구항 2】

제 1 항에 있어서,

상기 마스터는 명령 및 어드레스를 요구할 때 사용되는 클럭 신호의 라이징 에지에서만 명령 및 어드레스를 해당하는 슬레이브로 전송하는 것을 특징으로 하는 서브 시스템.

【청구항 3】

제 1 항에 있어서,

상기 마스터는 명령 및 어드레스를 요구할 때 사용되는 클럭 신호의 폴링 에지에서만 명령 및 어드레스를 해당하는 슬레이브로 전송하는 것을 특징으로 하는 서브 시스템.

【청구항 4】

제 1 항에 있어서,

상기 마스터는 명령 및 어드레스를 요구할 때 사용되는 클럭 신호의 라이징 에지 및 폴링 에지를 동시에 이용하여 명령 및 어드레스를 해당하는 슬레이브로 전송하는 것을 특징으로 하는 서브 시스템.

【청구항 5】

제 1 항에 있어서,

상기 슬레이브는 메모리 모듈, 리시버(receiver), 연산 장치(ALU) 중의 어느 하나를 사용하는 것을 특징으로 하는 서브 시스템.

【청구항 6】

제 1 항에 있어서,

상기 마스터가 해당하는 슬레이브에게 명령 및 어드레스를 요구할 때 사용하는 클럭 신호의 주파수는 데이터 버스에 대해 사용하는 클럭 신호의 주파수보다 낮은 것을 특징으로 하는 서브 시스템.

【청구항 7】

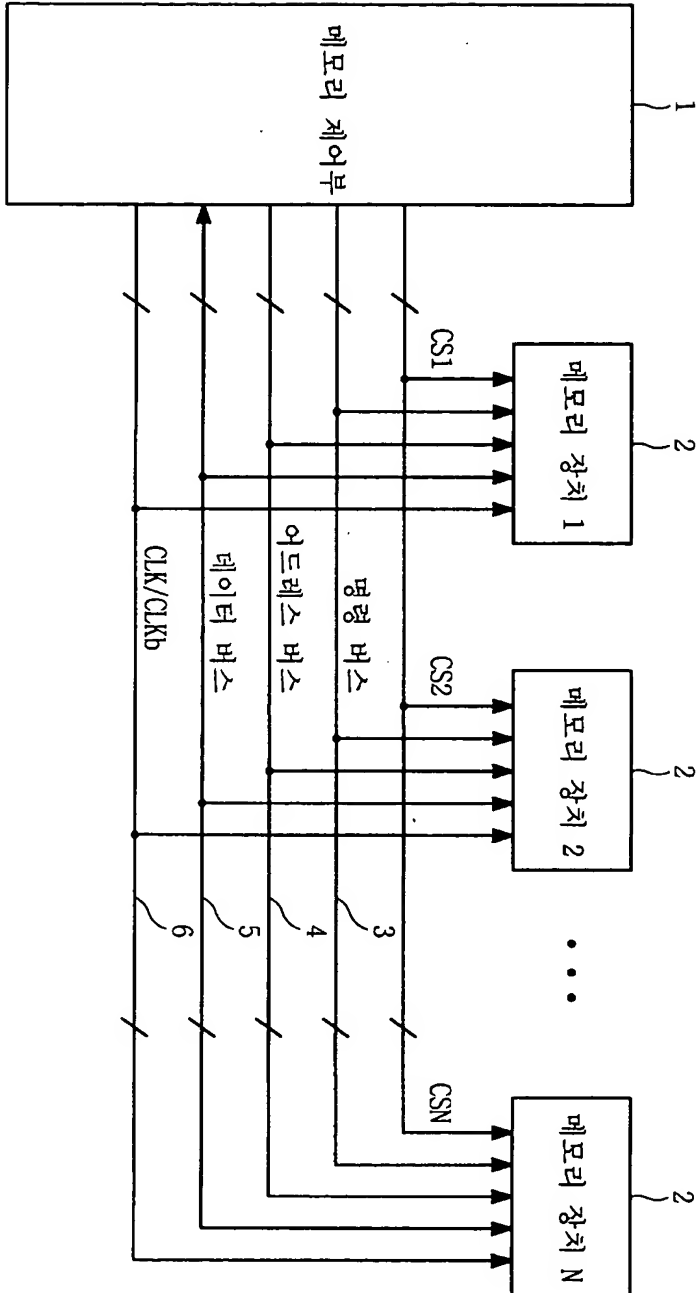
제 6 항에 있어서,

상기 제1 클럭 신호 및 상기 제2 클럭 신호는 모두 클럭 동기 회로에 의해 발생되는데,

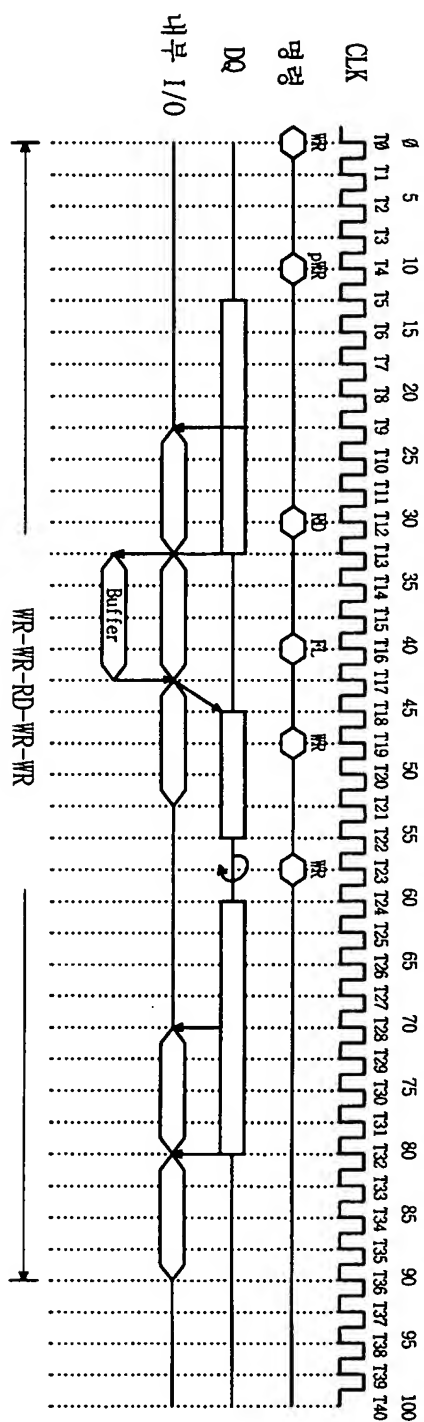
상기 제2 클럭 신호는 상기 제1 클럭 신호가 분주되어 발생하는 것을 특징으로 하는 서브 시스템.

【도면】

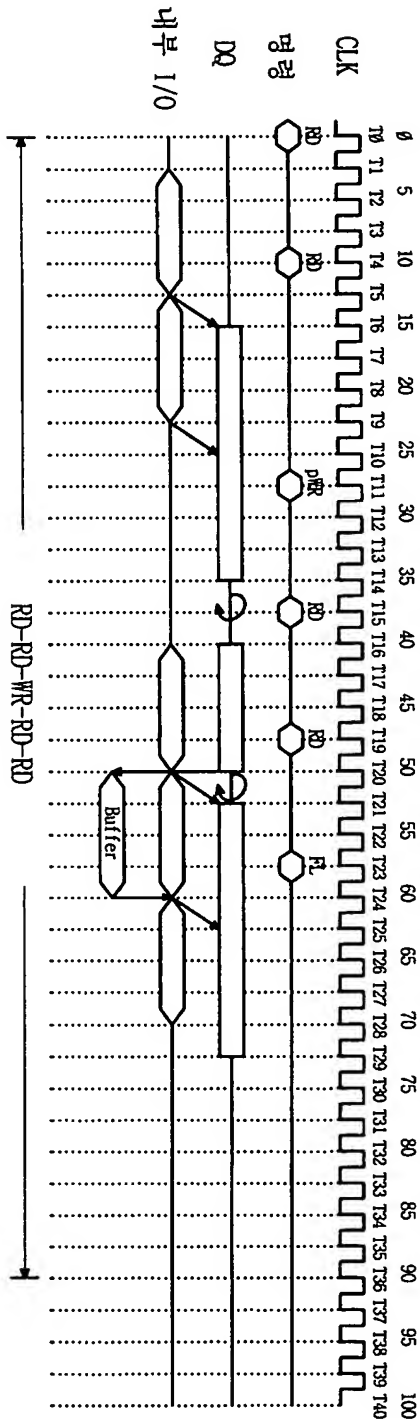
【도 1】



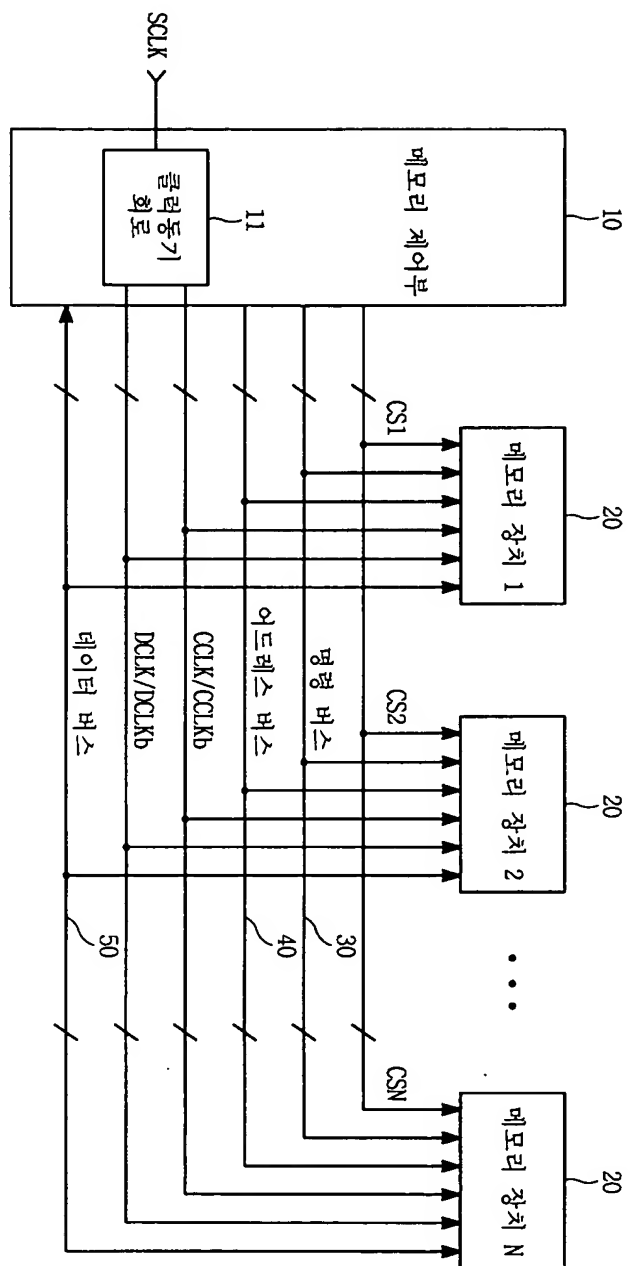
【도 2a】



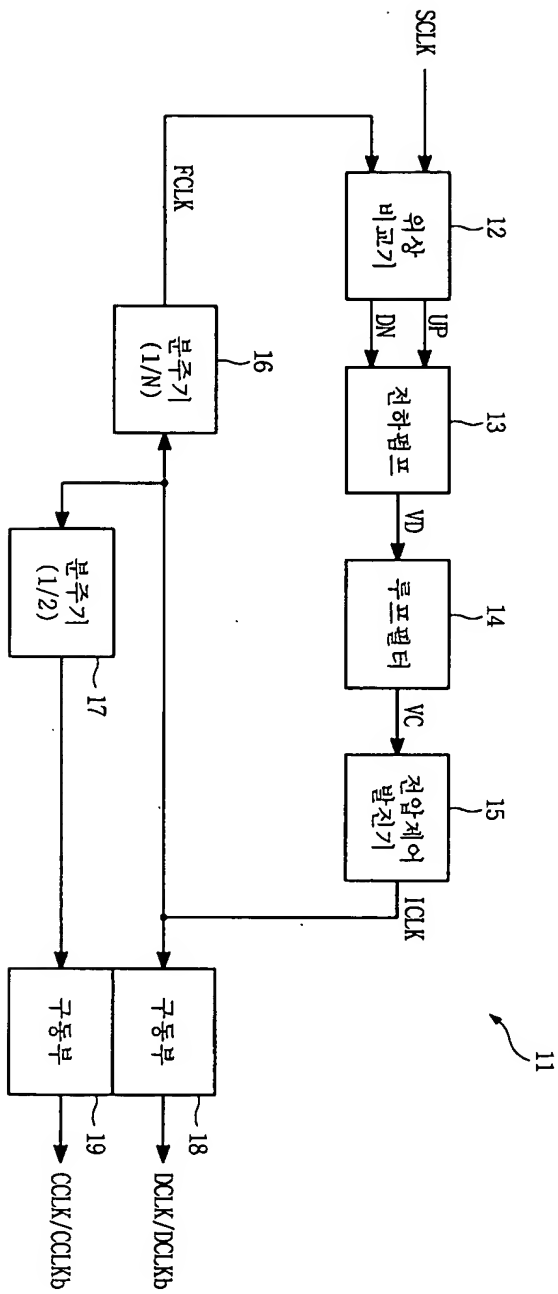
【도 2b】



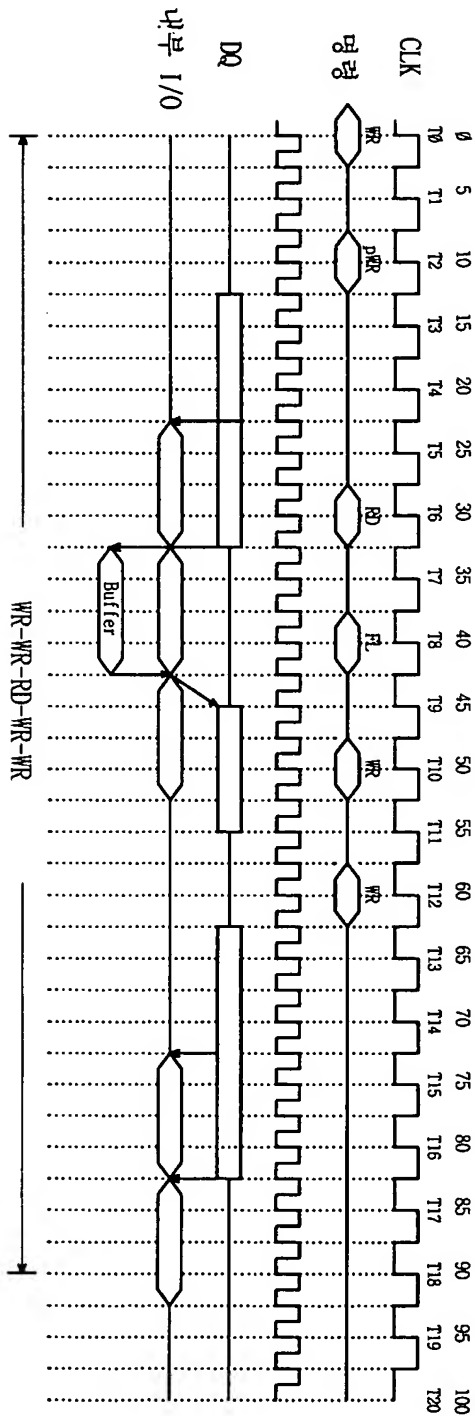
【도 3】



【도 4】



【도 5a】



【도 5b】

